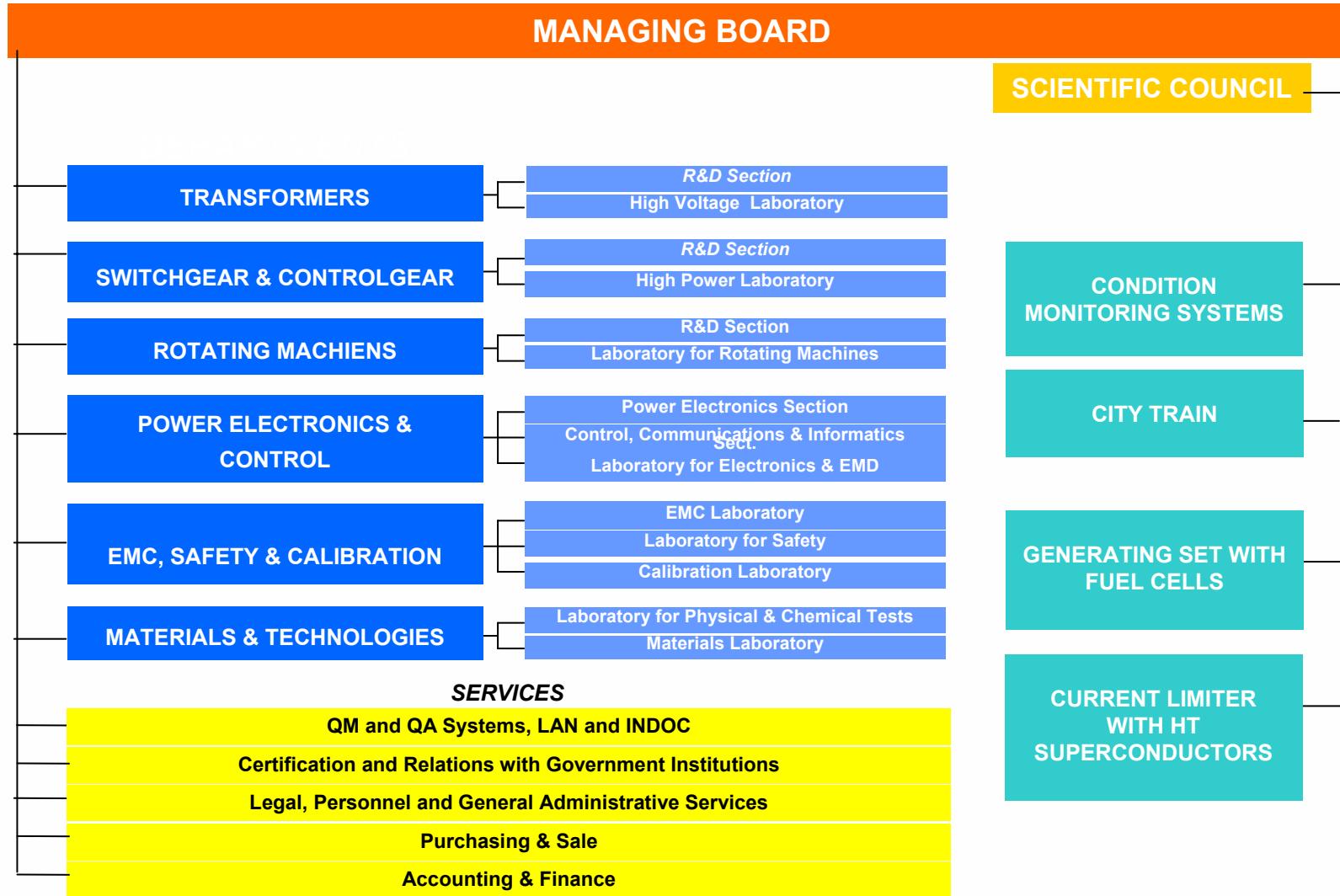

INDUSTRIJSKI UGRADBENI RAČUNALNI SUSTAVI

Siniša MARIJAN, Maja VLAH
KONČAR – Institut za elektrotehniku
Fallerovo šetalište 22, Zagreb
smar@koncar-institut.hr, mvlah@koncar-institut.hr

KONČAR – ELECTRICAL ENGINEERING INSTITUTE



CILJ i SADRŽAJ PREZENTACIJE

CILJ:

prikazati neke rezultate i izazove pri razvoju ugradbenih računalnih sustava, zasnovanih na programskim i sklopoškim platformama, a koji se primjenjuju u vuči i elektroenergetici

SADRŽAJ:

- *modularna sklopoška podrška*
- *modularna programska podrška*
- *neki proizvodi zasnovani na opisanoj koncepciji platforme*
- *ugradbeni računalni sustavi niskopodnog tramvaja TMK2200*
- *zastarjelost komponenata ugrožava životni vijek platformi*
- *prednosti sustava zasnovanih na platformama*

RAZVOJ INDUSTRIJSKIH UGRADBENIH RAČUNALNIH SUSTAVA ZASNOVAN NA PROGRAMSKIM I SKLOPOVSKIM PLATFORMAMA

PODRUČJA PRIMJENE:

- **VUČA (lokomotive, vagoni, tramvaji, elektromotorni vlakovi)**
- **ELEKTROENERGETIKA (hidro i termo elektrane)**

OSNOVNA KARAKTERISTIKA:

- **radi se o sigurnosno kritičnim sustavima za rad u stvarnom vremenu s nametnutim vremenskim ograničenjima (safety-critical hard real-time systems)**

SUSTAVI ZA RAD U STVARNOM VREMENU S NAMETNUTIM VREMENSKIM OGRANIČENJIMA

Izazovi s kojima se danas suočava akademska i industrijska zajednica

- razvoj zasnovan na platformama (*platform-based development*) koje se sastoje od programskih i sklopoških komponenata (*modula*)
- vlastita integrirana razvojna okruženja (*integrated development environment*)
- pouzdanost (*reliability*), robusnost (*robustness*), raspoloživost (*availability*)
- zastarjelost komponenata (*componenet obsolescence*)
- viševaračni rad (*multitasking*)
- algoritmi raspodijeljivanja programskih zadaća u stvarnom vremenu (*real-time scheduling algorithms*)
- vrijeme izvođenja programskih zadaća (*task execution time*, *worst case execution time (WCET)*, *best case execution time (BCET)*)
- optimalno iskorištenje sklopoških (*procesorskih*) resursa
- naglasak na implementaciji regulacijskih algoritama (u odnosu na standardne sekvensijske algoritme)
- zahtjevi za implementacijom naprednijih algoritama upravljanja (*adaptivni, fuzzy i neuronske mreže*)
- međusobno povezivanje različitih sustava pomoću prikladnih komunikacijskih sabirnica
- predvidivo vrijeme transakcija u distribuiranim sustavima
- uporaba programabilnih logičkih sklopova različitih razina (*PLD, CPLD, FPGA*) složenosti te implementacija intelektualnog vlasništva (*intellectual property –IP*) u svrhu minimizacije i optimizacije sklopolja te smanjenja rizika zastarjelosti komponenata

SKLOPOVSKÉ KOMPONENTY - primjeri



CPU DMK101



CPU DMKU144



16 x AI + 8 x A0



PULSE GENERATOR
DMKU164

SKLOPOVSKIE KOMPONENTE - primjeri ...



CPU DMK102



CPU DMKCAN



CPU DMK320

SKLOPOVSKÉ KOMPONENTY - primjeri ...



24 x DI



24 x DO



2 x SPEED



2 x CAN



MJERENJE



16 x DI



16 x DO



16 x FO

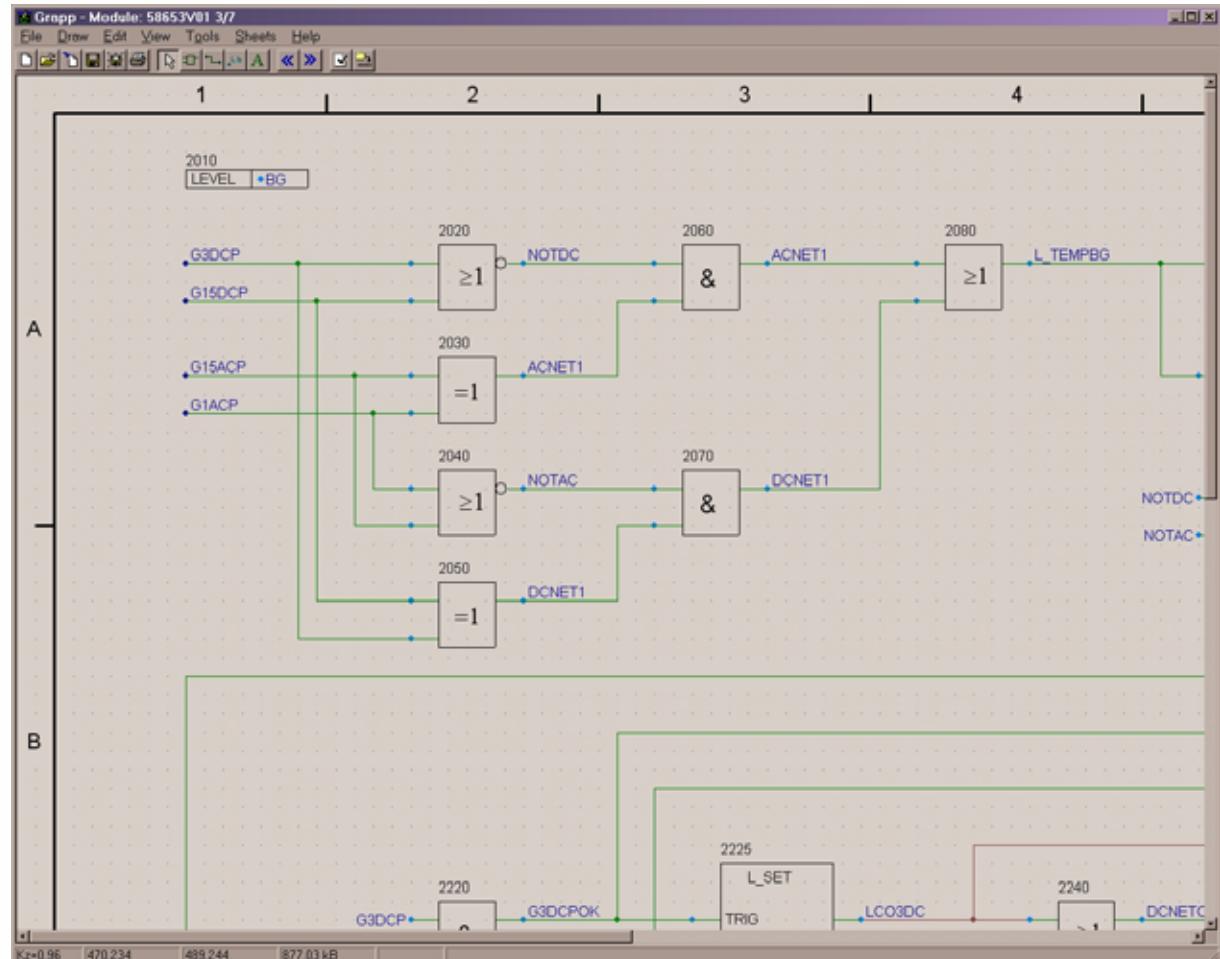


**Ukv, Ikv,
Mvuc, Mkoc**



**PS
sequencing**

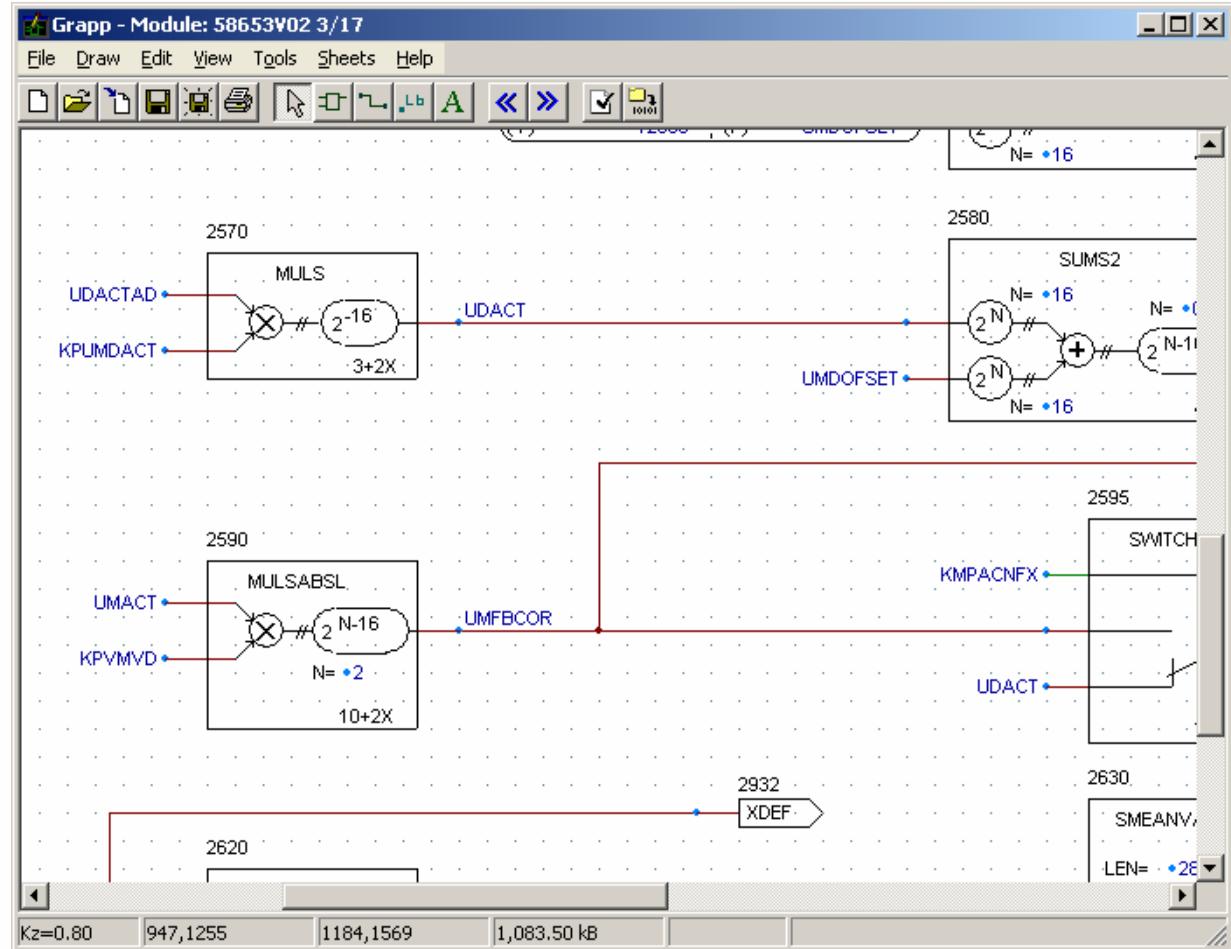
MODULARNA PROGRAMSKA PODRŠKA – komponente..



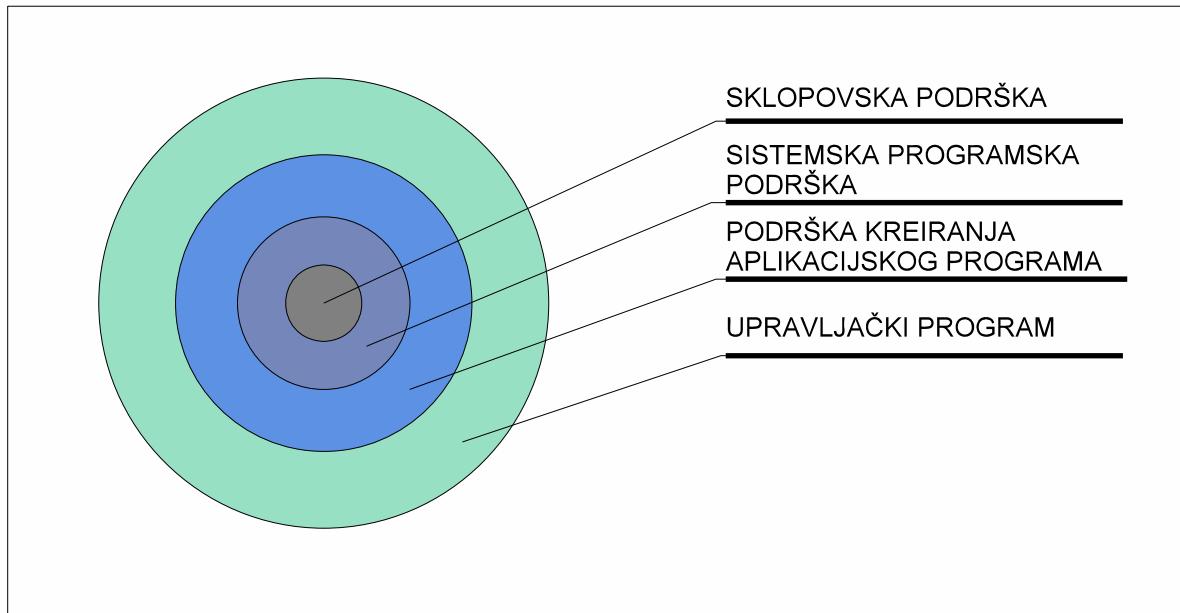
- korisnički blok-dijagram orientirani programske jezik
- grafički editor rezultat vlastitog razvoja – fleksibilnost, kompatibilnost

MODULARNA PROGRAMSKA PODRŠKA – komponente ..

- integrirano razvojno okruženje (IDE) identično je za sve procesore



MODULARNA PROGRAMSKA PODRŠKA – organizacija



SISTEMSKA PROGRAMSKA PODRŠKA:

Jezgra za rad u stvarnom vremenu + Sistemske programi

PODRŠKA KREIRANJA APLIKACIJSKOG PROGRAMA:

Baza podataka (komponente tj. programske elemente) + Razvojni sustav

UPRAVLJAČKI PROGRAM:

Aplikacijski program + Sistemska programska podrška

PRIMJENE VLASTITIH RJEŠENJA

MODERNIZACIJA LOKOMOTIVA



NISKOPODNI TRAMVAJ ZA GRAD ZAGREB



SUSTAVI UZBUDA U HIDRO I TERMOELEKTRANAMA



HE Varaždin – dvokanalni sustav

HE Dubrava



HE Raven – jednokanalni sustav



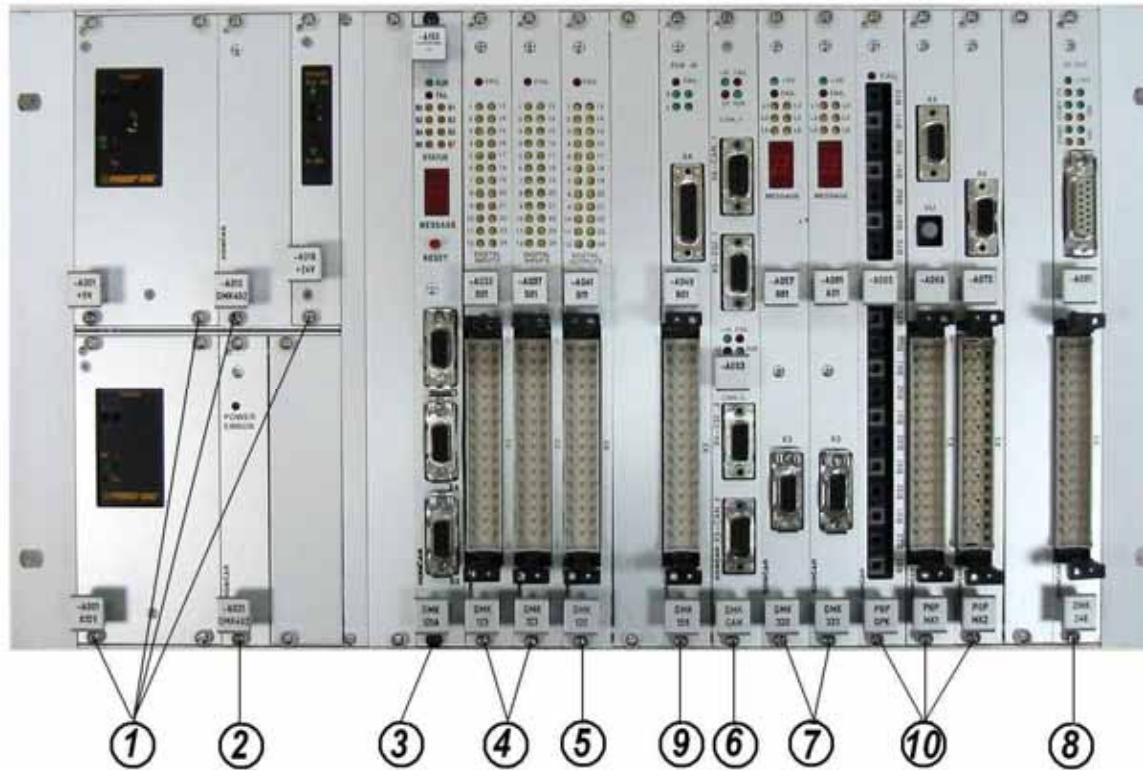
DIRT / LOKOMOTIVE



DIRT/TMK2200 – centralno računalo tramvaja

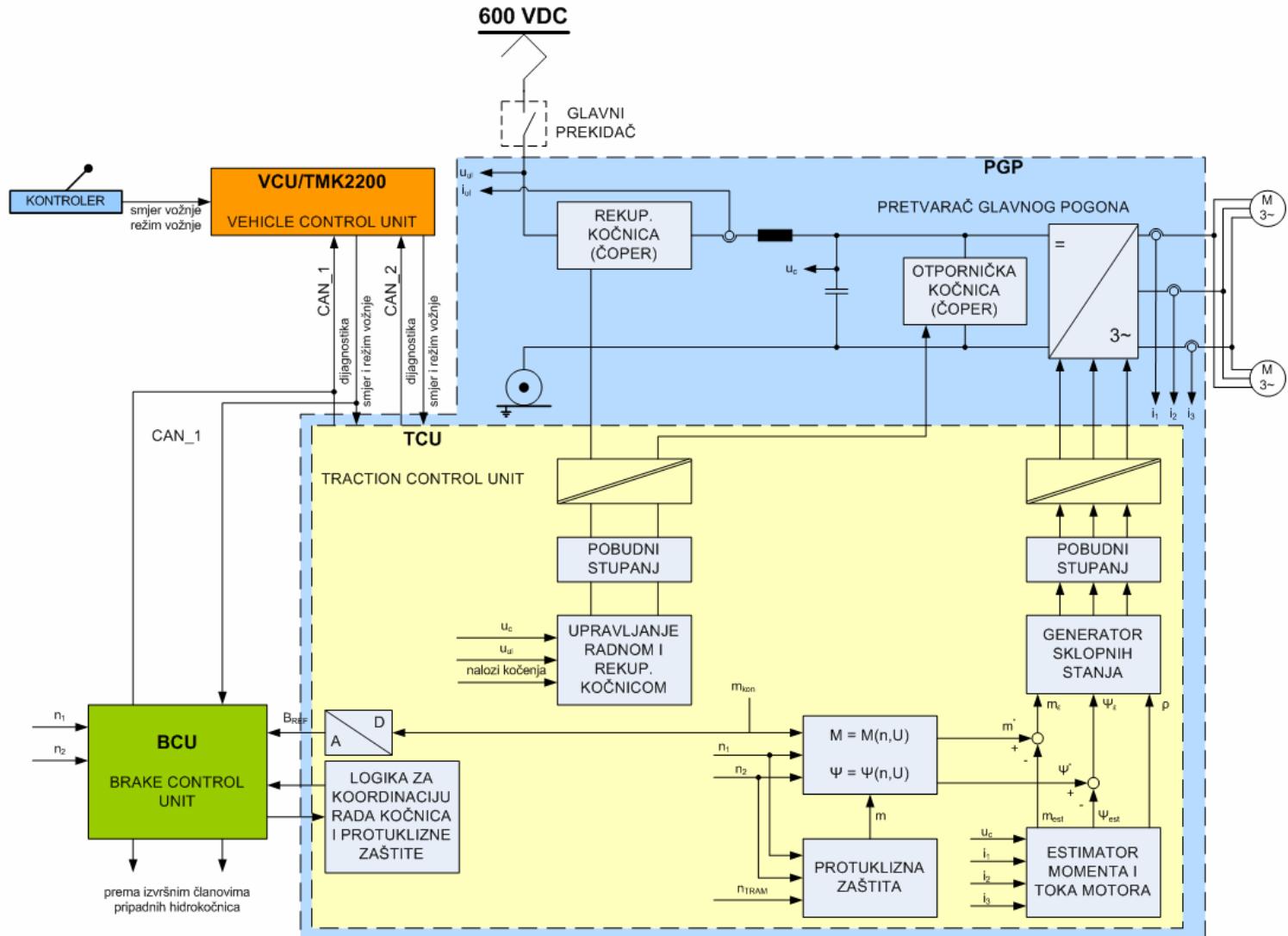


PGP/TMK2200 – pretvarač glavnog pogona tramvaja

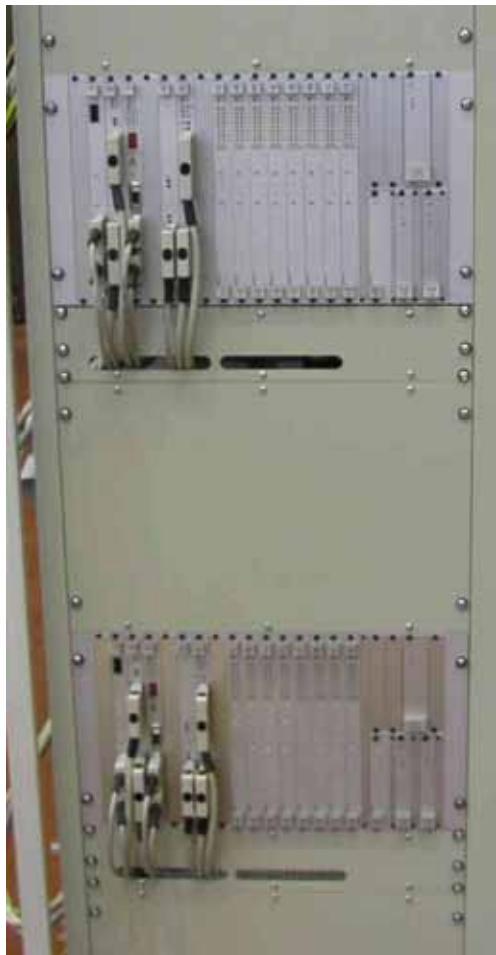


- komponente 1, 2, 3, 4, 5, 6, 8 su identične onima u uređaju DIRT/TMK2200
 - od ukupno 17 modula (komponenata) 11 se rabi u uređaju DIRT/TMK2200
 - od preostalih 6 komponenata 3 se rabe i u drugim uređajima
 - dakle, 82% modula nije razvijano namjenski (reusage rate= 82%)

PGP/TMK2200 – pretvarač glavnog pogona tramvaja



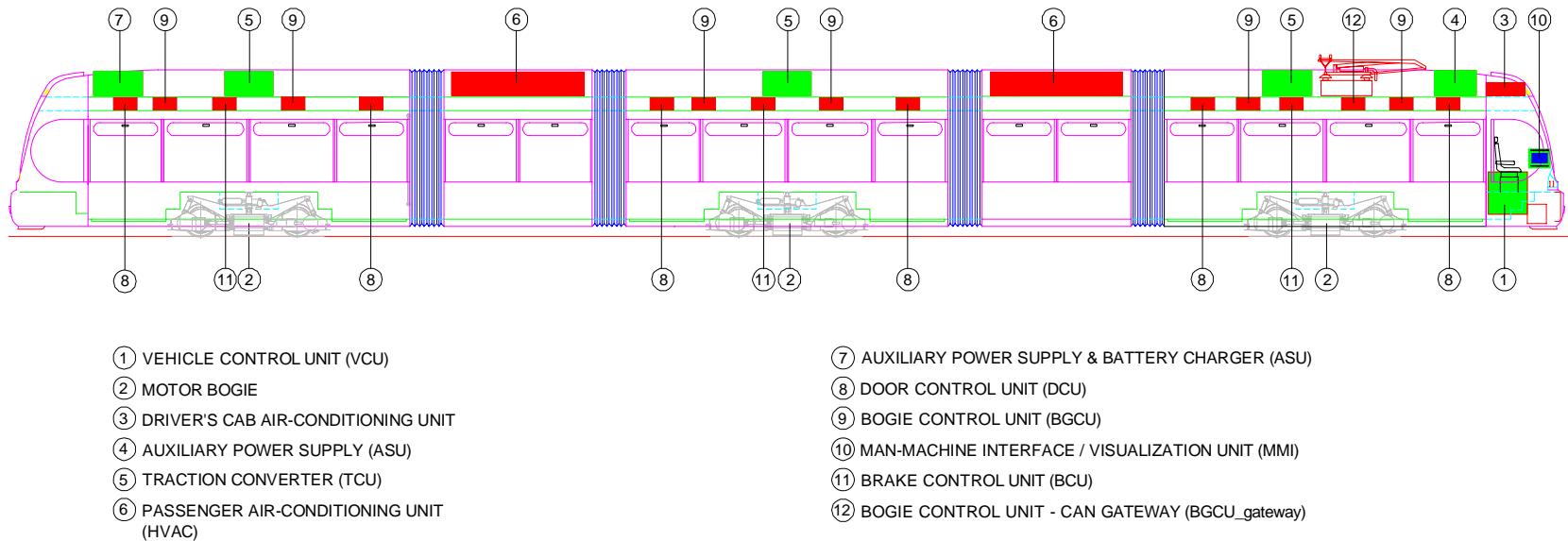
DRN – digitalni regulator napona



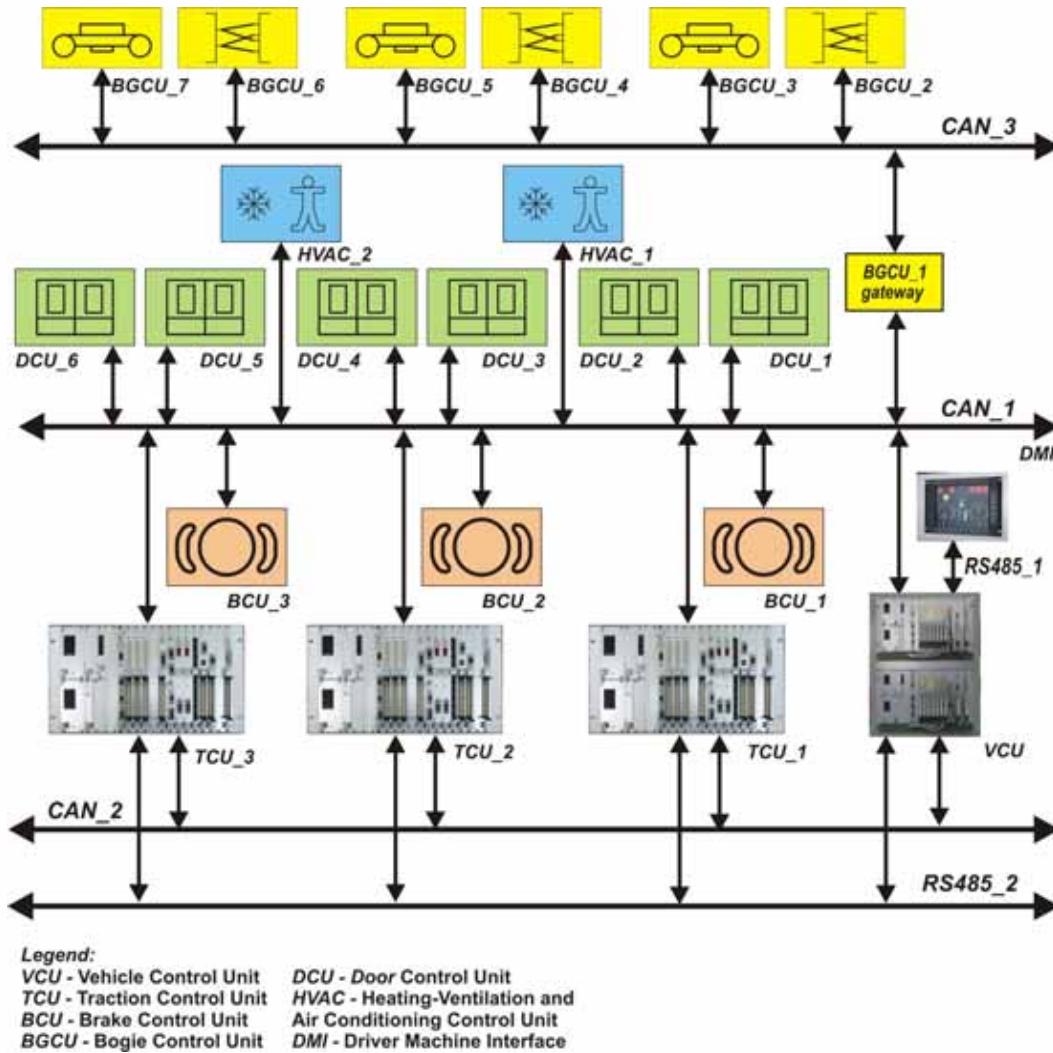
DRN okvir elektronike – jednokanalna konfiguracija

DRN okviri elektronike – dvokanalna konfiguracija

TMK2200: ugradbeni računalni sustavi



TMK2200: komunikacijske sabirnice



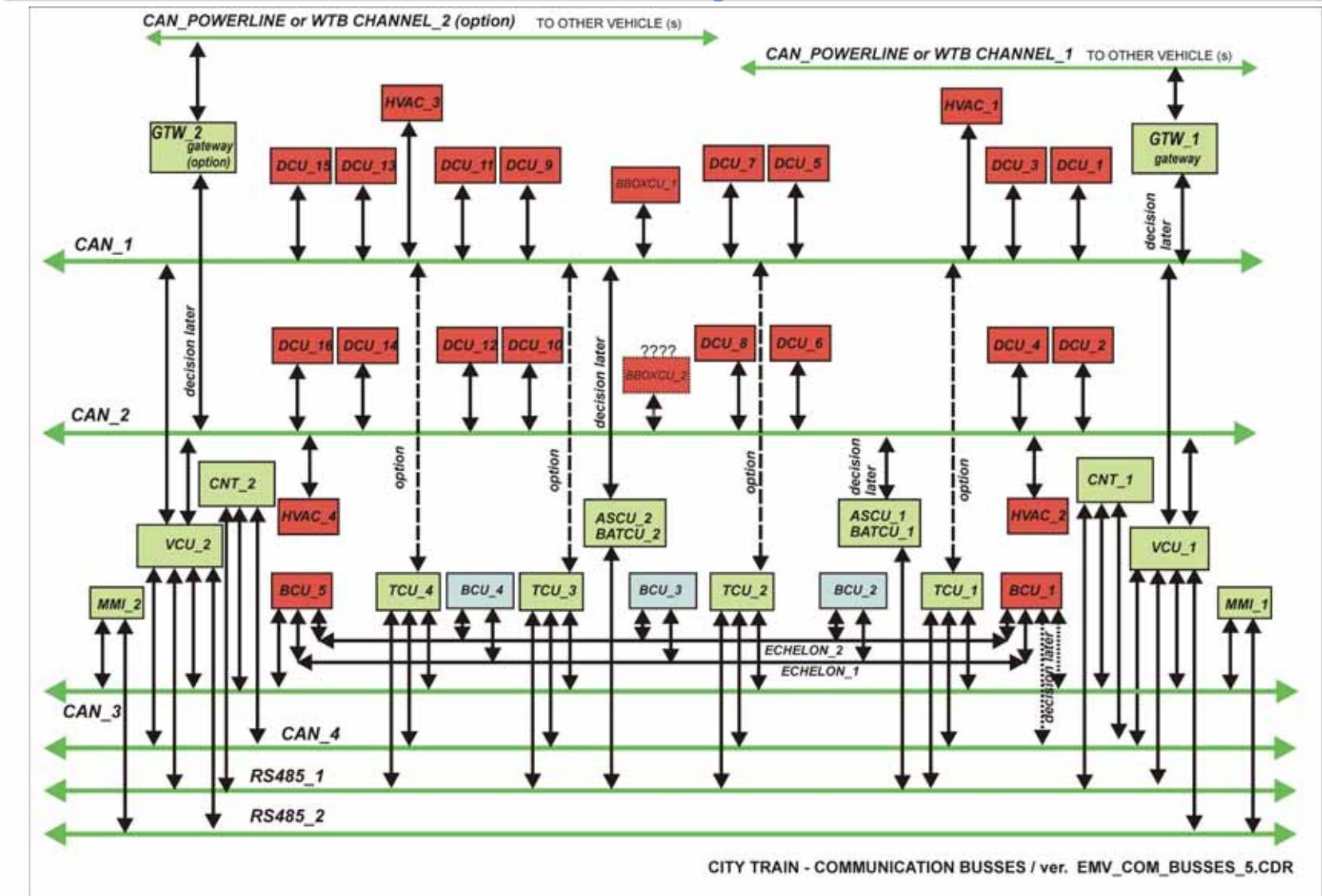
- non-preemptive fixed-priority scheduling policy

- aktivacija poruka je zasnovana na vremenu (time-based), a ne na promjeni stanja (event-based)

$$\text{CANbus_load} = \sum_{1 \leq i \leq n} \frac{ML_i}{T_i},$$

i =PDO (process data object) number,
 n =number of TxPDOs on the bus,
 ML_i =length of i -th message in (ms),
 T_i =time base written in event timer (ms)

TMK2200 vs EMV: komunikacijske sabirnice



OBSOLESCENCE – zastarjelost komponenata

- Life of type (LOT) buy
- Component replacement
- Reverse Engineering (Emulation)
- Redesign
- Processor Obsolescence
- Processor Family Obsolescence

Platforma II – projekt novog procesorskog modula
zbog zastarjelosti originalnog procesora

- isti mehanički gabariti
- iste ili bolje dijagnostičke mogućnosti putem prednje ploče
- ista električna sučelja i vremenske karakteristike procesa prema drugim modulima
- ista procesorska arhitektura (SW kompatibilnost)
- min. 5x brži procesor, CAN komunikacijsko sučelje, svi komunikacijski kanali galvanski izolirani
- poboljšani PWM, rezolucija A/D i D/A kanala, watchdog sklopovi i sat stvarnog vremena



PREDNOST PRIKAZANE KONCEPCIJE MTBF

- *modularni HW i SW (komponente) -> dugoročno veća pouzdanost. Ako je primjerice procesorski modul (komponenta) instaliran u 350 uređaja koji godišnje rade svaki prosječno 3500 sati, to je ukupno 1 225 000 sati rada samo u jednoj godini. Ako se prosječna standardna programska komponenta rabi u aplikacijskom programu gore spomenutih uređaja 10 puta, tada je ukupno vrijeme rada te komponente 12 250 000 sati rada samo u jednoj godini.*
- *“non-exhaustive testing can only show the presence of errors, not their absence”, E.Dijkstra*
- **Primjer 1:** *množenje 2 broja u formatu 16-bitovni “integer”
2**32 mogućih kombinacija
ako test jedne kombinacije traje 1us -> potrebno je 1.2 sata za ispitivanje*
- **Primjer 2:** *množenje 2 broja u formatu 32-bitovni “integer”
2**64 mogućih kombinacija
ako test jedne kombinacije traje 1us -> potrebno je 585 godina za ispitivanje*

U G O V O R
BROJ: RI-GM-LG-07-003v01

**Rizici primjene programirljivih logičkih sklopova u
ugrađenim industrijskim računalima**

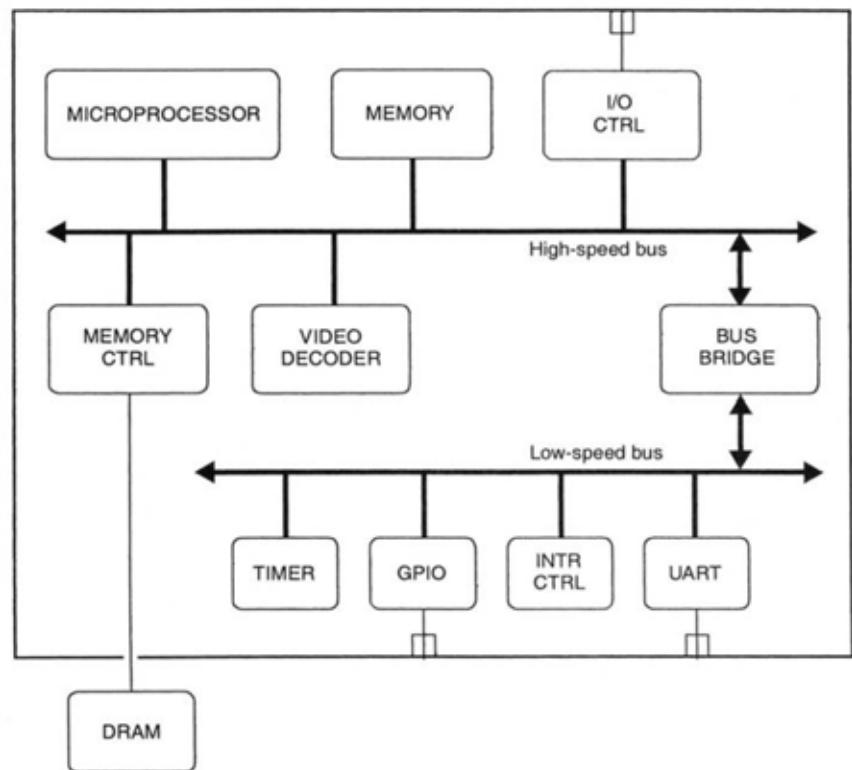
SURADNJA IRB – KONCAR Institut za elektrotehniku

Modul	Opis
1.	Rezultati analize rizika primjene programirljivih sklopova više (CPLD) i visoke (FPGA) razine složenosti s obzirom na metastabilnost. Evaluacija metoda i postupaka koji se koriste za određivanje značajki metastabilnosti programirljivih sklopova proizvođača Lattice, Xilinx i Altera.
2.	Prijedlog izvedbe ispitnog okruženja za određivanje vremenskih značajki izlaznih signala programirljivih sklopova. Razrada metode koja će se koristiti za ispitivanje (mjerjenje) značajki metastabilnosti odabranih programirljivih sklopova.
3.	Izrada ispitno-razvojnog okruženja za ispitivanje (mjerjenje) metastabilnosti izlaznih signala programirljivih sklopova tipa FPGA koji se koriste u IET rješenjima ugrađenih računala.
4.	Rezultati analize rizika metastabilnosti nekog od rješenja već primjenjenog u okviru postojećih projekata i prijedlog eventualnog poboljšanja. Usporedba rezultata dobivenih simulacijom i mjerenjem metastabilnog ponašanja odabranog sklopa. Sistemsko, licencijsko i aplikacijsko održavanje Mentor Graphics programske podrške.
5.	Rezultati analize mogućnosti primjene Mentor Graphics razvojnih alata u smislu predikcije metastabilnosti implementiranih programskih rješenja. Izrada odgovarajuće dokumentacije, te eventualno, u skladu s rezultatima, objava stručnog i/ili znanstvenog rada.

BUDUĆI PROJEKT (u razmatranju)

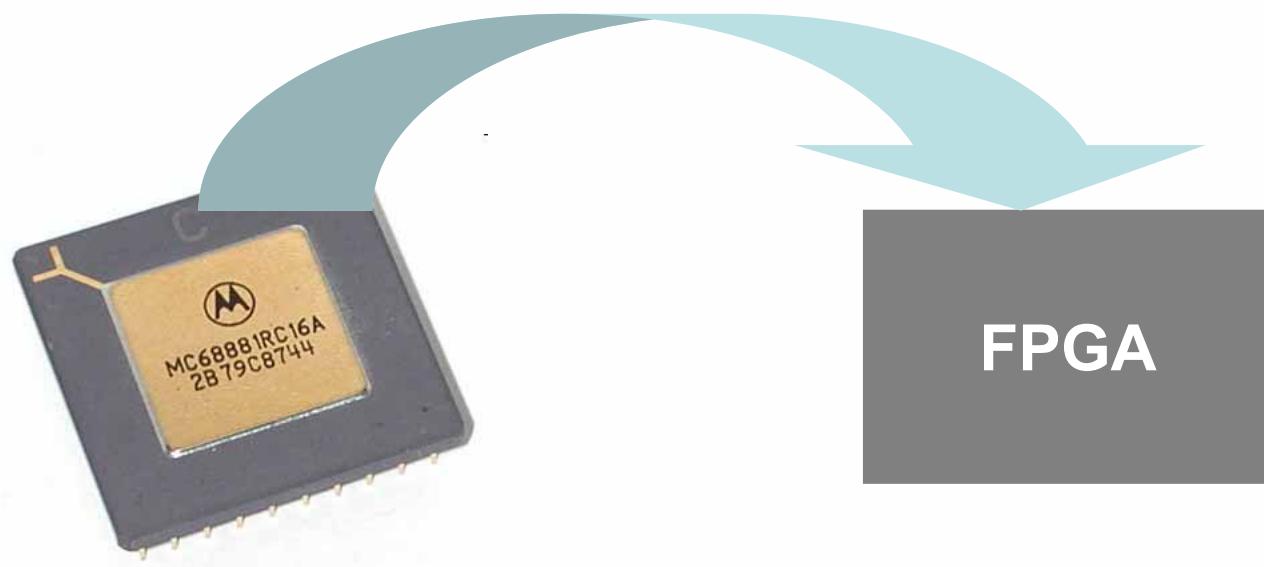
Sustav na čipu / System on Chip (SoC)

- razvoj vlastitih rješenja
- *FPGA*



BUDUĆI PROJEKT (u razmatranju)

- *Glavni zadatak: razvoj mikroprocesora zahtjevane arhitekture*



BUDUĆI PROJEKT (u razmatranju)

Ciljevi:

- *rješenje problema zastarijevanja komponenti na tržištu*
- *povećanje performansi postojećih sustava*
- *smanjenje troškova*

KRAJ prezentacije

***Hvala na
pozornosti !***